

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156503

(P2000-156503A)

(43) 公開日 平成12年6月6日 (2000.6.6)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 29/78

H 0 1 L 29/78

6 5 3 A

6 5 2 K

6 5 2 M

審査請求 有 請求項の数21 O L 外国語出願 (全 47 頁)

(21) 出願番号 特願平11-293015

(22) 出願日 平成11年10月14日 (1999. 10. 14)

(31) 優先権主張番号 6 0 / 1 0 4 , 1 4 8

(32) 優先日 平成10年10月14日 (1998. 10. 14)

(33) 優先権主張国 米国 (U S)

(71) 出願人 591074389

インターナショナル・レクチファイヤー・
コーポレーションINTERNATIONAL RECTI
FIER CORPORATION

アメリカ合衆国90245カリフォルニア州

エル・セグンド、カンザス・ストリート
233番

(72) 発明者 ダニエル エム. キンザー

アメリカ合衆国 90245 カリフォルニア

州 エル セグンド センター ストリー
ト 760

(74) 代理人 100077481

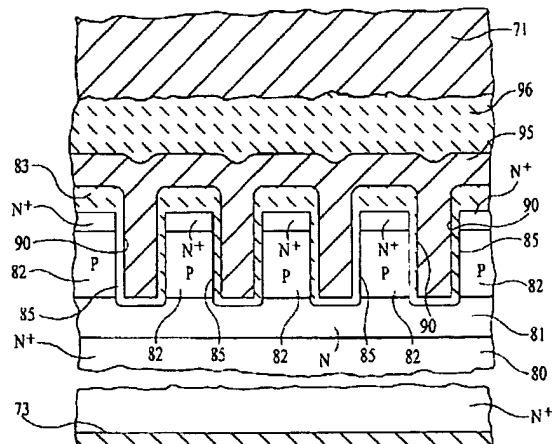
弁理士 谷 義一 (外2名)

(54) 【発明の名称】 MOSゲートデバイスおよびその製造プロセス

(57) 【要約】

【課題】 最小の Q_{GD} と $R_{DS(on)}$ を有し、廉価であって信頼できる製造技術が可能なMOSFET等のトレンチ形状のMOSゲートデバイスを提供する。

【解決手段】 パワーMOSFETが平行な同一広がりをもつトレンチ (複数) の複数の間隔において配置された列を有する。トレンチ (複数) に沿ってゲート酸化膜が並び、各トレンチに延びて入り込み隣接したトレンチに連続するシリコン表面上に横たわる導電性ポリシリコンの単一の共通な層がトレンチを満たす。ソースコンタクトは、トレンチから遠く離れた位置で、かつトレンチの列の間に作成される。トレンチは1.8ミクロンの深さで、0.6ミクロンの幅で、約0.6ミクロン以上の間隔をあけて配置されている。トレンチは、チャネル領域よりも0.2から0.25ミクロン深い。デバイスは非常に小さな性能指数を有し、特に低電圧回路で有用である。



DERWENT-ACC-NO: 2000-351854
DERWENT-WEEK: 200035
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor component with MOS gate control used for
battery powered,
portable electronic components, e.g. laptop computers

INVENTOR: KINZER, D M

PATENT-ASSIGNEE: INT RECTIFIER CORP[INRC]

PRIORITY-DATA: 1998US-0104148 (October 14, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	
PACES	MAIN-IPC		
JP 2000156503	June 6, 2000	N/A	047
H01L 029/78			
A	April 27, 2000	N/A	018
H01L 029/78			
DE 19949364 A1			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2000156503A	N/A	1999JP-0293015
October 14, 1999		
DE 19949364A1	N/A	1999DE-1049364
October 13, 1999		

INT-CL_(IPC): H01L021/336; H01L029/78

ABSTRACTED-PUB-NO: DE 19949364A

BASIC-ABSTRACT: NOVELTY - The component comprises a first conductivity substrate with top, flat surface. A channel diffusion region of a second conductivity extends in the substrate surface down to a first depth. A source diffusion region of second conductivity extends in the substrate surface down to a second smaller depth. Numerous, spaced grooves are formed in the substrate to a third depth, greater than first one, under the surface.

DETAILED DESCRIPTION - The groove sides are lined with an

insulating film,
while a conductive gate material fills the grooves. A source
contact is
coupled to source diffusion region on the surface and is
laterally spaced from
the grooves. A gate electrode is coupled to gate material, and a
drain contact
is coupled to the substrate. INDEPENDENT CLAIMS are included for
the
manufacture of the semiconductor component.

USE - For components, e.g. MOSFETs used in battery powered
portable electronic
apparatus, such as laptop computers etc.

DESCRIPTION OF DRAWING(S) - The figure shows cross-section of
active region of
semiconductor chip with buried structure and polysilicon gate.

CHOSEN-DRAWING: Dwg.5/14

TITLE-TERMS:
SEMICONDUCTOR COMPONENT MOS GATE CONTROL BATTERY POWER PORTABLE
ELECTRONIC
COMPONENT COMPUTER

DERWENT-CLASS: T01 U11 U12

EPI-CODES: T01-H01B3; T01-M06A1; U11-C18A3; U12-D02A; U12-Q;

SECONDARY-ACC-NO:
Non-CPI Secondary Accession Numbers: N2000-263594